

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-036594

(43)Date of publication of application : 02.02.2000

(51)Int.CI.

H01L 29/78  
H01L 21/28  
H01L 21/336

(21)Application number : 10-219752

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 17.07.1998

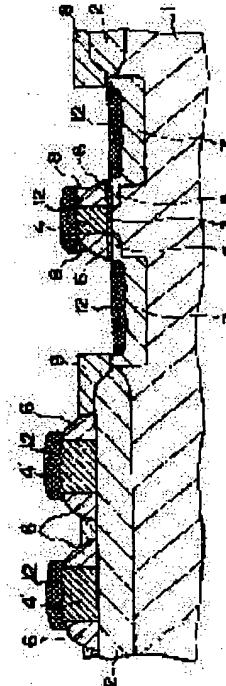
(72)Inventor : TANAKA AKIHIKO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the formation of a mutually high resistance state by the formation of titanium silicide resulting from narrowed width of the gate of a MOSFET.

**SOLUTION:** The second layer of polysilicon film, having the width wider than a polysilicon film 4, is formed on the first layer of polysilicon film 4, which prescribes the gate width of a MOSFET, and on the side wall SiN film 6 through an SiO<sub>2</sub> film 8. The second layer of polysilicon film is silicified, and a titanium silicide layer 12 is formed. By setting the width of the second layer of polysilicon film inside the side wall SiN film 6, the second layer of polysilicon film and the side wall SiN film 6 function to the SiO<sub>2</sub> film 8 as an etching mask when an aperture is formed for a silicide process.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-36594

(P2000-36594A)

(43)公開日 平成12年2月2日(2000.2.2)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	マークコード(参考)
H 01 L 29/78		H 01 L 29/78	3 0 1 G 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 D 5 F 0 4 0
21/336		29/78	3 0 1 T 3 0 1 Y

審査請求 未請求 請求項の数5 FD (全8頁)

(21)出願番号 特願平10-219752

(22)出願日 平成10年7月17日(1998.7.17)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都新宿区西新宿6丁目24番1号 西新宿三井ビル

(72)発明者 田中 明彦

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(74)代理人 100086564

弁理士 佐々木 聖孝

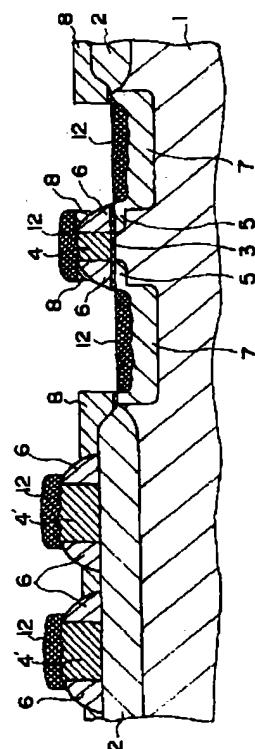
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】MOSFETのゲートの狭幅化に伴うチタンシリサイドの細線化による相対的な高抵抗化を防止する。

【解決手段】MOSFETのゲート幅を規定する1層目のポリシリコン膜4の上、及び、側壁SiN膜6の上にSiO<sub>2</sub>膜8を介して、ポリシリコン膜4よりも幅広の2層目のポリシリコン膜を形成し、その2層目のポリシリコン膜をシリサイド化して、チタンシリサイド層12を形成する。2層目のポリシリコン膜の幅を側壁SiN膜6の内側に設定することにより、シリサイドプロセスのための開口形成時、その2層目のポリシリコン膜と側壁SiN膜6が、SiO<sub>2</sub>膜8に対するエッチングマスクとして機能する。



## 【特許請求の範囲】

【請求項1】 半導体基板の一主面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された多結晶シリコンから成る第1の導電層と、前記第1の導電層上に形成され、前記第1の導電層よりも幅広のシリサイドから成る第2の導電層とを有し、前記第1の導電層と前記第2の導電層とによりゲート電極配線が形成されている半導体装置。

【請求項2】 前記第2の導電層は、前記第1の導電層および前記第1の導電層の側壁絶縁膜上に接して形成されている、請求項1に記載の半導体装置。

【請求項3】 前記シリサイドがチタンシリサイドまたはコバルトシリサイドである、請求項1又は請求項2に記載の半導体装置。

【請求項4】 半導体基板の一主面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に多結晶シリコンから成る第1の導電層を形成する工程と、前記半導体基板の全面に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜に対して異方性エッチングを施して前記第1の導電層の側壁に側壁絶縁膜を形成する工程と、前記半導体基板の全面に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜に対して前記第1の導電層が露出するまで異方性エッチングを施す工程と、前記半導体基板の全面に多結晶シリコン層を形成する工程と、

前記多結晶シリコン層をパターニングして前記第1の導電層上にこの第1の導電層よりも幅広の多結晶シリコン層を形成する工程と、

前記半導体基板の全面に高融点金属膜を形成する工程と、

前記高融点金属膜に熱処理を施して前記幅広の多結晶シリコン層をシリサイド化して第2の導電層とする工程とを有し、前記第1の導電層と前記第2の導電層とから成るゲート電極配線を形成する、半導体装置の製造方法。

【請求項5】 前記高融点金属がチタンまたはコバルトである、請求項4に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、多結晶シリコン層の上にシリサイド層が積層された構造のゲート電極配線を有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】 従来、MOSFETのゲート電極配線には、多結晶(ポリ)シリコン層の上にチタンシリサイド( $TiSi_2$ )等のシリサイド層を積層した構造の、所謂、ポリサイド配線が多く用いられている。

【0003】 例えば、図10に示すように、シリコン半導体基板100上に、ゲート酸化膜101を介してポリシリコンゲート102が形成され、このポリシリコンゲート102の上層に、例えば、チタンシリサイド層106が形成されて、ゲート電極配線が構成される。

【0004】 なお、図示の例は、LD (Lightly Doped Drain)構造のMOSFETで、所謂、シリサイドプロセス(セルフ・アライン・シリサイド・プロセス: Self-Aligned-Silicide Process)により、そのソース及びドレイン拡散層の表面も夫々シリサイド化されている。

【0005】 即ち、シリコン半導体基板100の表面領域には、ポリシリコンゲート102と自己整合的に一対の低濃度拡散層103が形成され、また、ポリシリコンゲート102の側壁に設けられた側壁絶縁膜104と自己整合的に、トランジスタのソース及びドレインを主として構成する一対の高濃度拡散層105が形成されている。

【0006】 シリサイドプロセスでは、例えば、この構造の全面にチタン等の金属膜を形成し、熱処理を施して、側壁絶縁膜から露出しているポリシリコンゲート102の上部及びソース/ドレイン拡散層の表面領域を同時にシリサイド化し、夫々の部分にチタンシリサイド層106を形成する。これにより、ゲート電極配線の低抵抗化と、後にコンタクトをとるソース/ドレイン拡散層の表面領域の低抵抗化が構成される。

【0007】 図11に、CMOS構造の例を示すが、p+シリコン半導体基板200に設けられたpウェル200aとnウェル200bとに跨がって共通のゲート電極配線202が形成されている。そして、フィールド酸化膜201で素子分離された夫々の素子領域には、このゲート電極配線202の両側のシリコン半導体基板200内に、nMOSトランジスタのソース及びドレインとなる一対のn<sup>+</sup>拡散層203、並びに、pMOSトランジスタのソース及びドレインとなる一対のp<sup>+</sup>拡散層204が夫々形成されている。

## 【0008】

【発明が解決しようとする課題】 近年、半導体集積回路の高集積化が急速に進む中、素子の微細化も進み、その一端として、MOSFETのゲートの狭幅化も進められている。

【0009】 ところが、例えば、図10に示すような構造でゲート幅を狭くするためには、ポリシリコンゲート102の幅を狭くするしかないが、ポリシリコンゲート102の幅を狭くすると、その上のチタンシリサイド層106の幅も狭くなる。

【0010】 ところが、特に、チタンシリサイドの場合、線幅を、例えば、0.35μm程度よりも狭くすると、線幅の広い場合に比べて、低抵抗化し難くなるという問題が有った。即ち、シリサイド化の反応が進行して

チタンシリサイドが低抵抗化するためには、その結晶構造の相転移が必要であるが、線幅が狭いと、その相転移が起こり難くなり、比較的高抵抗のままシリサイド化の反応が終了してしまうという問題が有った。

【0011】また、図10に示すような構造を製造する場合、通常、拡散層103及び105を形成するためのイオン注入時、ポリシリコンゲート102にもそれらのイオンが注入される。ところが、ポリシリコン中の不純物、特に、高濃度にドープされたn型不純物である例えはヒ素(A<sub>s</sub>)は、同様にドープされたp型不純物である例えはボロン(B)に比較して、上述したチタンシリサイドの相転移を抑制し、その低抵抗化を妨げることが知られている。

【0012】このように、従来のポリサイド配線では、特に、チタンシリサイドの細線化による相対的な高抵抗化が、MOSFETのゲートの狭幅化の1つの障害となっていた。

【0013】そこで、本発明の目的は、チタンシリサイド等のシリサイド層の線幅を狭くすることなく、MOSFET等のゲートの狭幅化が行えるゲート電極配線や、他のゲート電極配線以外の素子間を接続する電極配線構造及びその製造方法を提供することである。

#### 【0014】

【課題を解決するための手段】上述した課題を解決すべく、本発明の半導体装置では、半導体基板の一主面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された多結晶シリコンから成る第1の導電層と、前記第1の導電層上に形成され、前記第1の導電層よりも幅広のシリサイドから成る第2の導電層とを有し、前記第1の導電層と前記第2の導電層によりゲート電極配線が形成されている。

【0015】本発明の半導体装置においては、前記第2の導電層は、前記第1の導電層および前記第1の導電層の側壁絶縁膜上に接して形成されているのがよい。また、前記シリサイドがチタンシリサイドまたはコバルトシリサイドであるのがよい。

【0016】また、本発明の半導体装置の製造方法では、半導体基板の一主面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に多結晶シリコンから成る第1の導電層を形成する工程と、前記半導体基板の全面に第1の絶縁膜を形成する工程と、前記第1の絶縁膜に対して異方性エッティングを施して前記第1の導電層の側壁に側壁絶縁膜を形成する工程と、前記半導体基板の全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜に対して前記第1の導電層が露出するまで異方性エッティングを施す工程と、前記半導体基板の全面に多結晶シリコン層を形成する工程と、前記多結晶シリコン層をパターンングして前記第1の導電層上にこの第1の導電層よりも幅広の多結晶シリコン層を形成する工程と、前記半導体基板の全面に高融点金属膜を形成する工程と、前記高

融点金属膜に熱処理を施して前記幅広の多結晶シリコン層をシリサイド化して第2の導電層とする工程とを有し、前記第1の導電層と前記第2の導電層とから成るゲート電極配線を形成する。

【0017】本発明の半導体装置の製造方法においては、前記高融点金属がチタンまたはコバルトであるのがよい。

#### 【0018】

【発明の実施の形態】以下、本発明を好ましい実施の形態に従い説明する。

【0019】図1～図9を参照して、本実施の形態による半導体装置を、その製造方法に従い説明する。

【0020】先ず、図1に示すように、シリコン半導体基板1の表面領域に、例えば、LOCOS法により、選択的にフィールド酸化膜2を形成して素子分離を行った後、そのフィールド酸化膜2で囲まれたMOSFET等の素子形成領域にゲート酸化膜3を形成する。

【0021】次に、全面にポリシリコン膜4を形成し、これを、フォトリソグラフィー及びドライエッティングによりパターニングする。この時、この第1の実施の形態では、素子形成領域におけるポリシリコン膜4と、それ以外のフィールド領域におけるポリシリコン膜4'を、素子形成領域では、MOSFETのゲート幅となる、例えはa=0.15[μm]程度の幅に、それ以外の、素子間を接続するため等の電極配線を形成するフィールド領域上では、配線の低抵抗性を確保するために、例えは、c=0.30[μm]程度の幅に夫々加工する。また、ポリシリコン膜4、4'の膜厚は、例えは、b=0.20[μm]程度とする。

【0022】この1層目のポリシリコン膜4の膜厚は、従来のゲート電極ポリシリコンよりも薄くて良いので、その分、微細加工時にフォトレジストが薄くて済み、細線のパターニングが容易になる。また、ポリシリコン膜4の膜厚が薄いので、エッティング時にアンダーカット等の形状不良が少なくなる。

【0023】次に、上記パターニング後のクリーニングに続き、全面に例えは、約0.01μm厚のキャップ・オキサイド膜(図示せず)と称する極く薄い酸化膜を生成する。しかし後、フィールド酸化膜2と素子形成領域のポリシリコン膜4とをイオン注入マスクとして用いて、ポリシリコン膜4の両側に比較的ドーズ量で不純物のイオン注入を行い、その後の熱処理により、その部分にLDD構造における一対の低濃度拡散層5を形成させる。

【0024】次に、全面に第1の絶縁膜である窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜6を形成した後、図2に示すように、それを異方性エッティングして、ポリシリコン膜4、4'のパターンの側壁に側壁絶縁膜6を形成する。この側壁絶縁膜には、窒化シリコンを用いたが、CVD法による酸化シリコン膜等、その他の絶縁物を用いてもよ

い。

【0025】これにより、素子形成領域において、ポリシリコン膜4とその両側の側壁絶縁膜6とを含めた全幅は、例えば、 $d = 0.45 \mu\text{m}$  程度となる。

【0026】次に、フィールド酸化膜2と、素子形成領域のポリシリコン膜4及びその両側の側壁絶縁膜6とをイオン注入マスクとして用いて、側壁絶縁膜6の外側に比較的高ドーズ量で不純物のイオン注入を行い、その後の熱処理により、その部分に、MOSFETのソース及びドレインを主として構成する一対の高濃度拡散層7を形成させる。

【0027】次に、図3に示すように、ステップカバレージの良い化学気相成長(CVD)法による第2の絶縁膜である酸化シリコン膜( $\text{SiO}_2$ )膜8を、例えば、ポリシリコン膜4、4' と同程度の膜厚で全面に形成する。

【0028】次に、図4に示すように、 $\text{SiO}_2$ 膜8に対しドライエッチングによるエッチバック法を行って、その表面を平坦化するとともに、素子形成領域のポリシリコン膜4の上面が露出するまで、その膜厚を減少させる。

【0029】この時、フィールド酸化膜2上のポリシリコン膜4' に対しては、 $\text{SiN}$ からなる側壁絶縁膜6がエッチングストッパーとして機能するので、そのポリシリコン膜4' が大きく露出することが防止される。勿論、素子形成領域における側壁絶縁膜6もエッチングストッパーとして機能する。

【0030】なお、このように表面が平坦化された $\text{SiO}_2$ 膜8を設けることは、後に行う層間絶縁膜全体の平坦化に対しても有効である。

【0031】次に、図5に示すように、全面にノンドープのポリシリコン膜9を形成した後、これを、フォトリソグラフィー及びドライエッチングによりパターニングする。この時、ポリシリコン膜9は、1層目のポリシリコン膜4、4' の上面を含む若干幅広のパターンに加工するが、その幅は、例えば、素子形成領域において、1層目のポリシリコン膜4の幅に、その両側の側壁絶縁膜6の幅を加えた全幅から所定のアライメントマージンを引いた分まで太くすることができる。例えば、図5に示すように、ポリシリコン膜9のパターン幅は、1層目のポリシリコン膜4とその両側の側壁絶縁膜6との全幅、例えば、 $d = 0.45 \mu\text{m}$  程度(図1参照)から、両側夫々のアライメントマージン、例えば、 $d_2 = 0.05 \mu\text{m}$  程度を引いた、例えば、 $d_1 = 0.35 \mu\text{m}$  程度とする。また、ポリシリコン膜9の膜厚は、例えば、 $e = 0.08 \mu\text{m}$  程度とする。

【0032】このように、ポリシリコン膜9のパターン幅を、1層目のポリシリコン膜4とその両側の側壁絶縁膜6との全幅よりも内側に設定するのは、後のサリサイドプロセス時、ソース及びドレイン領域表面に夫々形成

するシリサイド層の側壁絶縁膜6に対する自己整合(セルフアライン)性を確保して、トランジスタの対称性を維持するためである。

【0033】従って、特に、その必要が無い場合には、ポリシリコン膜9のパターン幅を、1層目のポリシリコン膜4とその両側の側壁絶縁膜6との全幅よりも大きく設定することも可能である。

【0034】次に、図6に示すように、本実施の形態では、サリサイドプロセスを行うために、全面にフォトレジスト10を形成した後、このフォトレジスト10を、フォトリソグラフィーによりパターニングして、図示の如く、フィールド酸化膜2よりも少し内側において、素子形成領域上に開口10aを形成する。

【0035】かかる後、このフォトレジスト10をエッチングマスクとして用いてドライエッチングを行い、開口10a内に露出した部分の $\text{SiO}_2$ 膜8(及び、その下のゲート酸化膜3及び前述したキャップ・オキサイド膜)をエッチング除去して、シリコン半導体基板1の表面を露出させる。この時、図示の如く、素子形成領域のポリシリコン膜9及び側壁絶縁膜6も夫々エッチングマスクとして機能するので、側壁絶縁膜6に対しセルフアラインした状態で、高濃度拡散層7の部分が露出する。

【0036】即ち、もし $\text{SiN}$ 膜による側壁絶縁膜6を用いず、或いは、ポリシリコン膜9の幅を側壁絶縁膜6よりも外側に設定したような場合、開口10aにおける $\text{SiO}_2$ 膜8のゲート電極側の境界は、ポリシリコン膜9のパターニング時のフォトリソグラフィーのマスク精度に依存することになる。従って、それを、MOSFETのゲートである1層目のポリシリコン膜4に対し正確に対称に制御することは極めて困難である。一方、側壁絶縁膜6は、既述したように異方性エッチングにより形成され、その幅は、実質的に、ポリシリコン膜4の膜厚で決まる。従って、ポリシリコン膜4の両側で、極めて対称性の良い側壁絶縁膜6が得られるので、上述したように、それらの側壁絶縁膜6に対しセルフアラインした状態で、高濃度拡散層7の部分を露出させることにより、後のサリサイド工程において、ソース/ドレインのシリサイド層を、ゲートに対し対称性良く形成することができる。

【0037】また、本実施の形態では、フィールド酸化膜2の側において、フォトレジスト10が、フィールド酸化膜2のLOCOSエッジ部を確実に保護するよう、そのLOCOSエッジ部から少し素子形成領域側に入った部分に開口10aを形成するとともに、後のサリサイド工程で形成されるシリサイド層とLOCOSエッジ部との間に充分なクリアランスをとることができ、例えば、サリサイド工程において、ソース/ドレインドーパントの拡散の少ない(ソース/ドレイン領域の横方向の拡大が殆ど無い)短時間アニール(RTA: Rapid Thermal Annealing又は RTP: Rapid Thermal Processing

g) によるシリサイド化を行った場合でも、シリサイド層と基板との間の短絡を確実に防止することができる。

【0038】次に、図7に示すように、フォトレジスト10を除去した後、全面に、例えば、スパッタ法によりチタン(Ti)膜11を、例えば、膜厚400Å程度に形成する。

【0039】次に、図8に示すように、例えば、 RTPを行って、ポリシリコン膜9とその上のTi膜11、及び、高濃度拡散層7とその上のTi膜11を夫々反応させ、1層目のポリシリコン膜4、4'の上、及び、ソース／ドレインを主として構成する高濃度拡散層7の表面領域に夫々チタンシリサイド層12を形成する。しかる後、未反応のTi膜11を除去する。

【0040】この時、本実施の形態では、MOSFETのゲート幅を規定するポリシリコン膜4の上に、そのポリシリコン膜4よりも幅広のポリシリコン膜9を設け、その幅広のポリシリコン膜9をシリサイド化するので、MOSFETのゲート幅に依存すること無く、常に、低抵抗のチタンシリサイド層12を形成することができる。

【0041】また、ノンドープのポリシリコン膜9をシリサイド化するので、チタンシリサイド層12の低抵抗化が、前述したような不純物(ヒ素など)により阻害されることが無い。

【0042】更に、本例のように、ポリシリコン膜9の膜厚を、Ti膜11の膜厚の2倍程度に予め設定しておくと、ポリシリコン膜9の実質的に全てをチタンシリサイド(TiSi<sub>2</sub>)にすることができ、これにより、ゲート電極配線に、比較的高抵抗のノンドープポリシリコンが残って配線を高抵抗化することが防止される。

【0043】また、例えば、図11に示すようなCMOS構造の場合、従来では、nMOS領域とpMOS領域とでゲート電極配線のポリシリコンに注入される不純物種が異なるために、nMOS領域とpMOS領域とでチタンシリサイドの出来方にばらつきが発生していたが、本実施の形態の構成では、nMOS領域、pMOS領域共、ノンドープポリシリコンをシリサイド化することになるため、チタンシリサイドの出来方にばらつきが殆ど発生しない。

【0044】次に、図9に示すように、例えば、全面に層間絶縁膜13を形成した後、その層間絶縁膜13に、ソース及びドレイン領域に夫々達するコンタクトホールを開孔し、更に、それらのコンタクトホール内を含むように金属配線14をパターン形成して、MOSFETを完成する。

【0045】以上に説明したように、本実施の形態では、ゲート電極配線を、MOSFETのゲート幅を規定するポリシリコン膜4と、そのポリシリコン膜4の上に形成された、そのポリシリコン膜9をシリサイド化して、ゲート電極配線の低抵抗化を達成する。従って、M

MOSFETのゲート幅が、例えば、0.1～0.35μm程度に狭幅化されても、ポリシリコン膜9の幅としては、例えば、0.35μm程度若しくはそれ以上を常に確保することができ、この結果、例えば、チタンシリサイドの場合でも、有効に低抵抗化されたものを常に好適に形成させることができる。

【0046】また、ノンドープのポリシリコン膜9をシリサイド化することができるので、例えば、チタンシリサイドの低抵抗化が前述したような不純物(ヒ素など)により阻害されることが無く、却って、従来よりもチタンシリサイドの形成条件を緩和することができる。

【0047】なお、以上に説明した本実施の形態では、シリサイドプロセスにより、MOSFETのソース及びドレイン領域の表面も夫々シリサイド化したが、特に、その必要が無い場合には、例えば、図6に示すSiO<sub>2</sub>膜8の孔開け工程を行わず、ゲート電極配線のポリシリコン膜9のみをシリサイド化すれば良い。

【0048】また、上述の例では、ゲート電極配線全体の低抵抗化のために、1層目のポリシリコン膜4を、素子形成領域以外のフィールド酸化膜2上では、素子形成領域におけるよりも幅広のパターンに構成したが、チタンシリサイド層12のみでゲート電極配線全体の充分な低抵抗化が達成されるような場合には、ポリシリコン膜4を、フィールド酸化膜2上でも素子形成領域と同じ幅に形成して良い。

#### 【0049】

**【発明の効果】** 本発明においては、多結晶シリコン層の上に、その多結晶シリコン層よりも幅広パターンのシリサイド層を積層してゲート電極配線を構成している。従って、例えば、チタンシリサイドの低抵抗化を阻害すること無く、MOSFET等のゲート幅を狭幅化することができる。

【0050】また、例えば、ノンドープのポリシリコンをシリサイド化することができるので、その場合には、不純物の影響を受けること無く、好適に低抵抗化された、例えば、チタンシリサイド層を形成することができ、ひいては、シリサイドの形成条件を従来よりも緩和することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図2】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図3】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図4】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図5】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図6】同、実施の形態による半導体装置の製造工程を

示す概略断面図である。

【図7】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図8】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図9】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

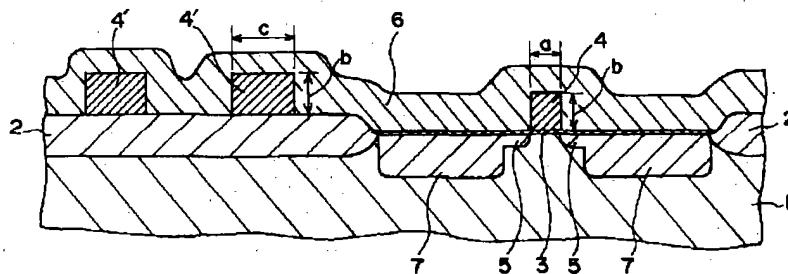
【図10】従来の半導体装置の概略断面図である。

【図11】CMOS構成の半導体装置を示す概略図である。

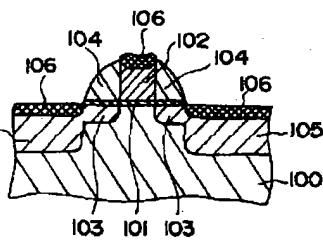
【符号の説明】

1…シリコン半導体基板、2…フィールド酸化膜、3…ゲート酸化膜、4、4'…ポリシリコン膜（1層目）、5…低濃度拡散層、6…側壁絶縁膜（SiN膜）、7…高濃度拡散層、8…SiO<sub>2</sub>膜、9…ポリシリコン膜（2層目）、12…チタンシリサイド層

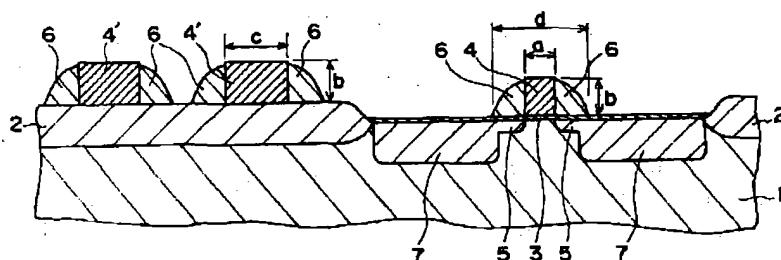
【図1】



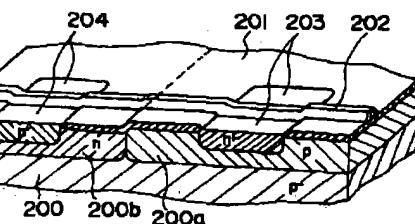
【図10】



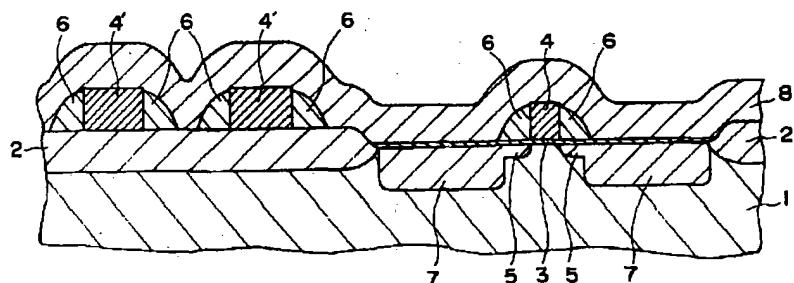
【図2】



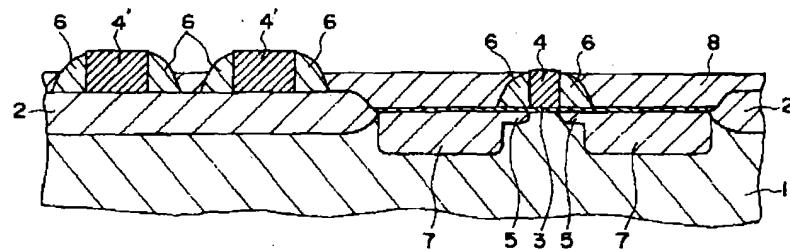
【図11】



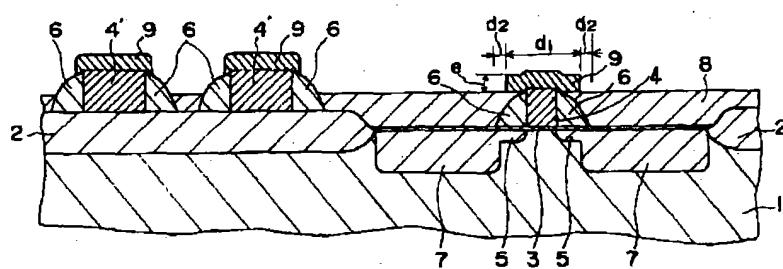
【図3】



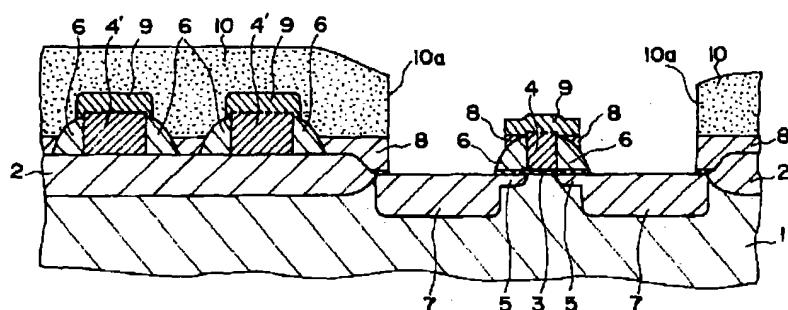
【図4】



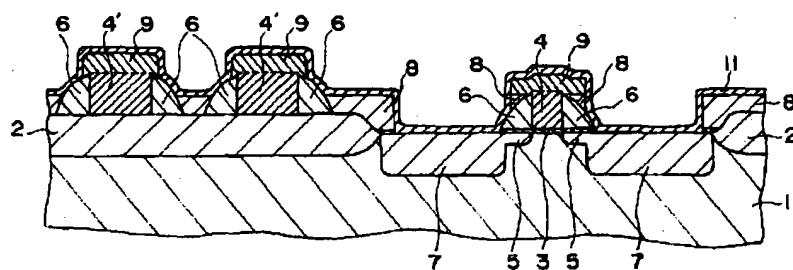
【図5】



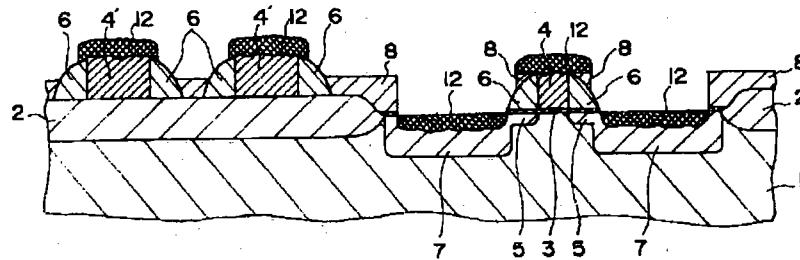
【図6】



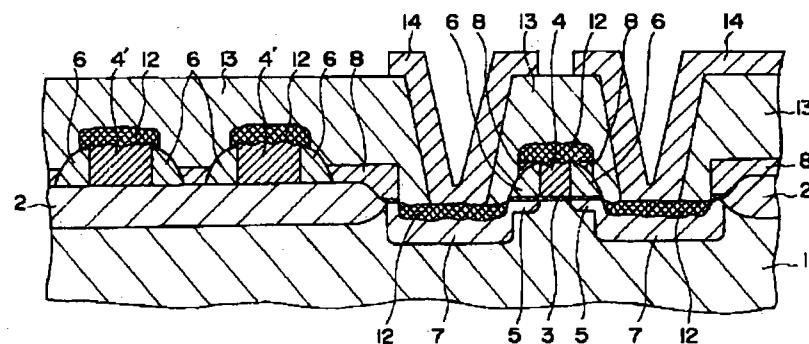
【図7】



【図8】



【図9】



フロントページの続き

F ターム(参考) 4M104 AA01 BB01 BB20 BB25 CC01  
 CC05 DD04 DD37 DD80 DD84  
 DD88 DD89 EE09 EE17 FF07  
 FF14 GG09 GG10 HH16  
 5F040 DA01 DA14 DB03 DC01 EC01  
 EC04 EC07 EC13 EC19 EF02  
 EF11 EH02 EJ08 EK01 FA03  
 FA05 FA07 FA16 FA19 FB02  
 FB04 FC00 FC19 FC28